

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-281958

(43) 公開日 平成6年(1994)10月7日

(51) Int.CI. ⁵ G02F 1/136 1/1343	識別記号 500	府内整理番号 9119-2K 9017-2K	F I	技術表示箇所
---	-------------	------------------------------	-----	--------

審査請求 未請求 請求項の数5 F.D. (全6頁)

(21) 出願番号 特願平5-90661	(71) 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日 平成5年(1993)3月25日	(72) 発明者 橋本 芳浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内

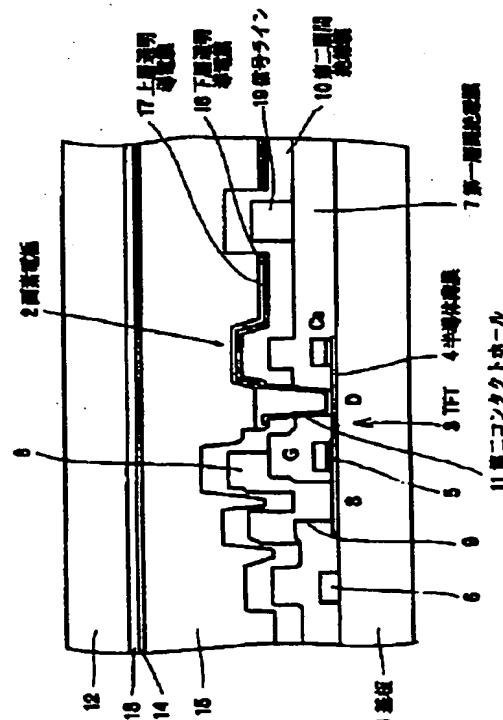
(72) 発明者 林 久雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内	(74) 代理人 弁理士 鈴木 晴敏
--	-----------------------

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 アクティブマトリクス型液晶表示装置の画素電極構造を改善し画素欠陥や配向不良を防止する。

【構成】 液晶表示装置は所定の間隙を介して互いに接合した一対の基板1, 12と該間隙に保持された液晶層15とから構成されている。一方の基板1の表面にはマトリクス状に配列した画素電極2と個々の画素電極を駆動する薄膜トランジスタ3とが形成されている。他方の基板12の内表面には対向電極14が形成されている。画素電極2は下層透明導電膜16と上層透明導電膜17を重ねた積層構造を有している。下層透明導電膜16は物理蒸着法又は化学蒸着法により成膜される。上層透明導電膜17は塗布法により成膜され、下層透明導電膜16の欠陥を補うとともに、基板1表面の段差を吸収し平坦化を図ることも可能である。



1

2

【特許請求の範囲】

【請求項 1】 マトリクス状に配列した画素電極と個々の画素電極を駆動するスイッチング素子とが形成された一方の基板と、対向電極が形成されており所定の間隙を介して該一方の基板に接合した他方の基板と、該間隙に保持された液晶層とを有する液晶表示装置において、前記画素電極は、物理蒸着法又は化学蒸着法により成膜された下層透明導電膜と、塗布法により成膜された上層透明導電膜とを重ねた積層構造を有する事を特徴とする液晶表示装置。

【請求項 2】 前記上層透明導電膜は、少なくとも画素電極とスイッチング素子との間のコンタクト領域において該下層透明導電膜に重なる事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記上層透明導電膜は平坦化された表面を有する事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 前記上層透明導電膜は、基板に設けられた遮光領域に沿って区画されたバタン形状を有する事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】 基板に規定された画素領域に対して物理蒸着法又は化学蒸着法により下層透明導電膜を形成する工程と、その上に重ねて塗布法により上層透明導電膜を形成する工程とからなる表示装置の画素電極形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型の液晶表示装置に関する。より詳しくは、マトリクス状に配列した画素電極の構造及び形成方法に関する。

【0002】

【従来の技術】 本発明の背景を明らかにする為に、先ず図 6 を参照して従来のアクティブマトリクス型液晶表示装置の一般的な構成を簡潔に説明する。一方の基板 51 の内表面にはマトリクス状に配列された画素が無数に形成されている。個々の画素は透明導電膜をバタニングして得られた画素電極 52 とスイッチング駆動用の薄膜トランジスタ 53 とから構成されている。各薄膜トランジスタ 53 のドレイン電極は対応する画素電極 52 に接続され、ソース電極は信号ライン 54 に接続され、ゲート電極はゲートライン 55 に接続されている。他方の基板 56 の内表面にはRGB三原色セグメントからなるカラーフィルタ膜 57 及び対向電極 58 が積層して形成されている。両基板 51, 56 の間隙内には液晶層 59 が保持されている。各基板の内表面は所定の配向処理が施されており、液晶層 59 に含まれる液晶分子は例えばツイスト配向されている。さらに、両基板 51, 56 の外表面には各々偏光板 60, 61 が貼着されている。ゲートライン 55 を介して行毎に薄膜トランジスタ 53 を導通させると、信号ライン 54 から供給される画像信号が各画素電極 52 に書き込まれる。書き込まれた画像信号に応じて画素電極 52 と対向電極 58 との間に電圧が印加

され液晶層 59 の分子配列が変化する。この変化は一对の偏光板 60, 61 を介して透過率の変化として取り出され画像表示が行なわれる。

【0003】

【発明が解決しようとする課題】 図 7 は画素電極及び薄膜トランジスタが形成された基板の断面構造を示す模式図である。基板 101 の表面には薄膜トランジスタ 102 が形成されている。薄膜トランジスタ 102 は第一層間絶縁膜 103 によって被覆されている。その上には配線電極 104 がバタニング形成されており、第一コンタクトホール 105 を介して薄膜トランジスタ 102 のソース領域 S に電気接続している。信号ライン 104 は第二層間絶縁膜 106 によって被覆されており、その上には所定の形状にバタニングされた画素電極 107 が形成されている。画素電極 107 は第二層間絶縁膜 106、第一層間絶縁膜 103 に開口された第二コンタクトホール 108 を介して薄膜トランジスタ 102 のドレイン領域 D に電気接続している。

【0004】 従来、画素電極 107 はスパッタリング法

により透明導電膜を 100 ~ 150 nm の厚みで成膜し、フォトリソグラフィ及びエッチングで所定の形状にバタニングし作成していた。この場合以下の問題が生じ易い。先ず、第二コンタクトホール 108 内において画素電極 107 の断線が発生するという問題がある。第二コンタクトホール 108 は第二層間絶縁膜 106、第一層間絶縁膜 103 を通してエッチングにより開口される為エッチングレートの相違等によりサイドエッチやオーバーハングが存在する。この様な状態ではスパッタリングにより成膜された透明導電膜のステップカバレッジが悪くなり段切れ 109 が生じる。

【0005】 又、図 8 に示す様に、スパッタリング処理の前後において基板 101 表面にダスト等の異物が付着すると、透明導電膜が部分的に欠落し画素内に表示欠陥 110 が発生するという問題がある。さらに配向むらの問題も生じる。一般に、基板 101 表面にはポリイミド等からなる配向膜 111 がコーティングされている。この配向膜 111 をラビングする事により配向処理が行なわれる。この際、コンタクトホール 108 や信号ライン 112 が配設されている領域には鋭角的な段差が発生する為、配向膜 111 のコーティング厚みがばらつくとともにラビング処理の均一性も乱される。この為、配向むらが生じ画素欠陥となる。

【0006】

【課題を解決するための手段】 上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる液晶表示装置は基本的な構成要素として、マトリクス状に配列した画素電極と個々の画素電極を駆動するスイッチング素子とが形成された一方の基板と、対向電極が形成されており所定の間隙を介して該一方の基板に接合した他方の基板と、該間隙に保持された液晶層とを備

えている。本発明の特徴事項として、前記画素電極は物理蒸着法又は化学蒸着法により成膜された下層透明導電膜と、塗布法により成膜された上層透明導電膜とを重ねた積層構造を有する。前記上層透明導電膜は少なくとも画素電極とスイッチング素子との間のコンタクト領域において該下層透明導電膜に重なる。前記上層透明導電膜は平坦化された表面を有するものであっても良い。前記上層透明導電膜は基板に設けられた遮光領域に沿って区画されたバタン形状を有するものであっても良い。かかる積層構造を有する画素電極は、基板に規定された画素領域に対して物理蒸着法又は化学蒸着法により下層透明導電膜を形成する工程と、その上に重ねて塗布法により上層透明導電膜を形成する工程とにより作成できる。

【 0 0 0 7 】

【作用】本発明によれば、スパッタリング等の物理蒸着法又は適当な化学蒸着法により下層透明導電膜を形成した後、液状の透明導電材料を塗布し加熱硬化させて画素電極としている。この為、下層透明導電膜に段切れや欠落等の膜欠陥があつても、上層透明導電膜がこれを埋める為容易に欠陥が除去できる。又、塗布膜厚を制御する事により基板表面の段差を吸収し緩和する事が可能になる。これにより配向膜の厚みのばらつきが少くなりラビング処理も均一に行なえるので配向不良を効果的に抑制できる。この際、上層透明導電膜は所定の導電性を備えている為、一般的な絶縁物からなる平坦化膜と異なり電圧降下の惧れがない。

【 0 0 0 8 】

【実施例】以下、図面を参照して本発明の好適な実施例を詳細に説明する。図1は、本発明にかかる液晶表示装置の第一実施例を示す模式的な部分断面図である。一方の基板1にはマトリクス状に配列した画素電極2（1個のみ図示）と個々の画素電極2を駆動するスイッチング素子とが形成されている。本実施例ではこのスイッチング素子は薄膜トランジスタ（TFT）3からなる。TFT3は島状にバタニングされた半導体薄膜4（例えば多結晶シリコン薄膜）を素子領域として構成されている。半導体薄膜4の上には絶縁膜5を介してゲート電極Gがバタニング形成されている。なお、ゲート電極Gと同時にゲートライン6も基板1上にバタニング形成される。ゲート電極Gの両側において半導体薄膜4には不純物が高濃度に注入されたソース領域S及びドレイン領域Dが形成されている。同時に、島状半導体薄膜4の端部には付加容量C_Sも設けられている。これらの薄膜トランジスタ3、ゲートライン6、付加容量C_SはPSG等からなる第一層間絶縁膜7により被覆されている。第一層間絶縁膜7の上には配線電極8がバタニング形成されており、第一コンタクトホール9を介してTFT3のソース領域Sに電気接続している。配線電極8と同時に信号ライン19もバタニング形成されている。なお配線電極8と信号ライン19は互いに結線されている。これらの配

線電極8及び信号ライン19は所望の金属材料を成膜した後フォトリソグラフィ及びエッティングによりバタニングして形成される。金属材料としては、例えばAl、Cr、Ti、Cu、Au、Ag、又はこれらの合金等を用いる事ができる。これら配線電極8及び信号ライン19はPSG等からなる第二層間絶縁膜10により被覆されている。第二層間絶縁膜10の上には前述した画素電極2がバタニング形成されており、第二コンタクトホール11を介してTFT3のドレイン領域Dに電気接続している。

【 0 0 0 9 】一方上側の基板12の内表面にはカラーフィルタ膜13及び対向電極14が重ねて形成されている。上下一対の基板1、12は所定の間隙を介して接合されており、内部には液晶層15が保持されている。なお、両基板1、12の内表面は所定の配向処理が施されており液晶層15は例えばツイスト配向される。

【 0 0 1 0 】本発明の特徴事項として画素電極2は下層透明導電膜16と上層透明導電膜17からなる積層構造を有している。下層透明導電膜16は物理蒸着法又は化学蒸着法により成膜される。本実施例では物理蒸着法の一例であるスパッタリングを用いている。通常、下層透明導電膜16の膜厚は130～150nm程度に設定される。一方、上層透明導電膜17は塗布法により成膜される。具体的な塗布方法としてはスピンドルコート、ロールコート、ディッピング、転写等が挙げられる。本実施例ではスピンドルコートを用いて液状の透明導電材料を塗布している。これは、透明導電物質の微粉粒を所定の溶媒に分散したものである。塗布後200℃～450℃の温度でアニールもしくは焼成し硬化させる事により透明導電膜が得られる。その膜厚は通常100～500nm程度に設定される。但し、これは例示であつて本発明の範囲を限定するものではない。上層透明導電膜17を塗布する事により下層透明導電膜16の段切れや欠落を埋める事ができる。本実施例では特に下層透明導電膜16の欠陥を補う事を目的としており、この為上層透明導電膜17の膜厚は100nm程度の比較的薄目に設定されている。下層透明導電膜16と上層透明導電膜17を積層した後フォトリソグラフィ及びエッティングにより一括してバタニングし画素毎に分離した画素電極2が形成される。なお、画素電極2を塗布法により成膜された透明導電膜のみで構成する事も考えられる。しかしながら、塗布法による透明導電膜は物理蒸着又は化学蒸着による透明導電膜に比べ抵抗値が高い。従って、単独で使用すると電圧降下の問題が生じるので適切ではない。下層透明導電膜16、上層透明導電膜17の材料としては、例えばITOやSnO_x等を用いる事ができる。

【 0 0 1 1 】図2は本発明にかかる液晶表示装置の第二実施例を示す模式的な部分断面図である。図1に示した第一実施例と基本的に同一の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にして

いる。本実施例の特徴事項として、上層透明導電膜17は比較的の厚目に成膜されており基板1表面の凹凸をある程度吸収している。塗布法としてスピンドルコートを採用した場合回転数を調整する事により塗布膜厚を容易に制御する事が可能である。又、本実施例では下層透明導電膜16の成膜及びバターニングをした後、上層透明導電膜17を成膜し別々にバターニングしている。この際、基板1に設けられた遮光領域に沿って上層透明導電膜17をバターニングし個々の画素毎に区画分離している。これにより、画素電極2と遮光領域の整合性が良くなり表示コントラストが改善される。なお、本実施例では配線電極8及び信号ライン19等が遮光領域を構成しておりブラックマスクとして機能する。

【0012】図3は本発明にかかる液晶表示装置の第三実施例を示す模式的な部分断面図である。前述した第二実施例と基本的に同一の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。本実施例の特徴事項として、上層透明導電膜17の膜厚が例えば2000nm程度に設定されており下地の凹凸を略完全に吸収しているので表面は完全に平坦化されている。従って、本実施例では上層透明導電膜17は平坦化膜として機能する。なお、前述した様にスピンドルコートを用いて塗布した場合回転数を調整する事によりスループットに影響する事なく膜厚制御が行なえる。従来の絶縁物からなる平坦化材に比べ耐熱範囲が広く450℃程度までは問題なく加熱処理する事ができる。又、抵抗値の制御も容易であり、例えば高抵抗で上層透明導電膜を形成した場合ラビング時の静電ダメージ等を回避する事が可能である。図示する様に、平坦化された上層透明導電膜17の上にはポリイミド等の配向膜20が成膜されている。平坦化された表面に成膜する為その膜厚は極めて均一であるとともに、ラビング処理も一様に行なえる。この結果、従来に比べ配向むらや配向不良が著しく減少した。

【0013】図4は本発明にかかる液晶表示装置の第四実施例を示す模式的な部分断面図である。基本的には図1に示した第一実施例と同一の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。本実施例の特徴事項として、上層透明導電膜17は第二コンタクトホール11内にのみ配置されており、主として下層透明導電膜16の段切れ欠陥を補う様にしている。例えば、液状の透明導電材料を全面に塗布した後フォトリソグラフィ及びエッチングにより所定の形状にバターニングして、コンタクト領域以外から上層透明導電膜を除去すれば良い。

【0014】図5は本発明にかかる液晶表示装置の第五実施例を示す模式的な部分断面図である。基本的には図3に示した第三実施例と同様な構造を有しており、理解を容易にする為対応する部分には対応する参照番号を付してある。本実施例の特徴事項として、配線電極8及び

透明電極2が同一の第一層間絶縁膜7の上に形成されている。この為、第一コンタクトホール9及び第二コンタクトホール11は同時にエッチングで開口する事ができ製造プロセスが簡略化される。特に、第二コンタクトホール11についてはサイドエッチやオーバーハングの惧れが少なくなる。本実施例では、先ず最初に下層透明導電膜16を成膜し且つバターニングした後、配線電極8を成膜バターニングしている。次いで第二層間絶縁膜10を全面的に被覆する。その後画素領域と整合する様に第二層間絶縁膜10をエッチングで部分的に除去し、下層透明導電膜16を露出させる。その上に塗布法で上層透明導電膜17を成膜し第二コンタクトホール11を埋めるとともに基板表面の平坦化を図っている。

【0015】

【発明の効果】以上説明した様に、本発明によれば、物理蒸着法又は化学蒸着法により下層透明導電膜を形成した後、塗布法により上層透明導電膜を形成して積層構造の画素電極を得ている。この為、下層透明導電膜に段切れや欠落等の膜欠陥が存在しても上層透明導電膜でこれを補う事ができる為画素欠陥不良を救済する事ができるという効果がある。又スピンドルコーティング等の塗布法により上層透明導電膜を成膜する為膜厚制御が容易であり、基板表面の全体的な段差緩和が図れこれにより配向不良が抑制できるという効果がある。さらに、上層透明導電膜は所定の導電率を有している為下層透明導電膜を被覆しても電圧降下の惧れがなく画素の駆動に悪影響を及ぼす惧れがないという効果がある。又、ラビング処理時に発生する静電気等に対して薄膜トランジスタ等を有効に保護する事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる液晶表示装置の第一実施例を示す模式的な部分断面図である。

【図2】同じく第二実施例を示す模式的な部分断面図である。

【図3】同じく第三実施例を示す模式的な部分断面図である。

【図4】同じく第四実施例を示す模式的な部分断面図である。

【図5】同じく第五実施例を示す模式的な部分断面図である。

【図6】従来のアクティブマトリクス型液晶表示装置の一般的な構成を示す斜視図である。

【図7】従来の液晶表示装置の課題を説明する為の模式図である。

【図8】同じく従来の液晶表示装置の課題を説明する為の模式図である。

【符号の説明】

1 基板

2 画素電極

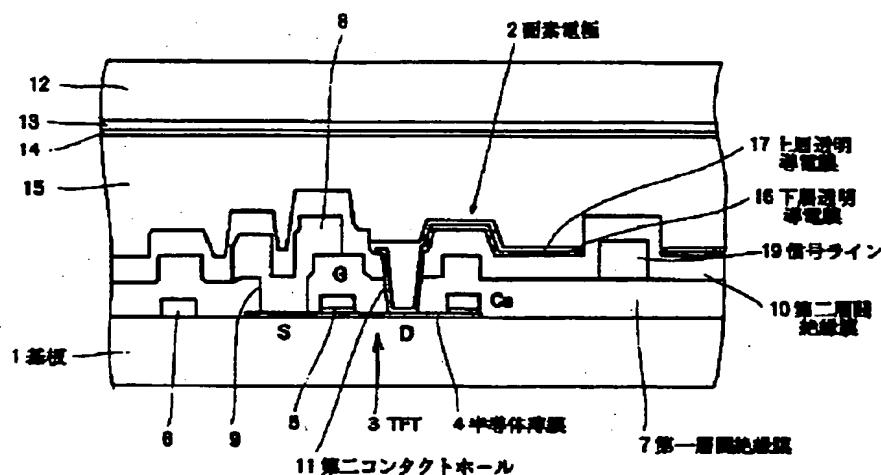
3 薄膜トランジスタ

7

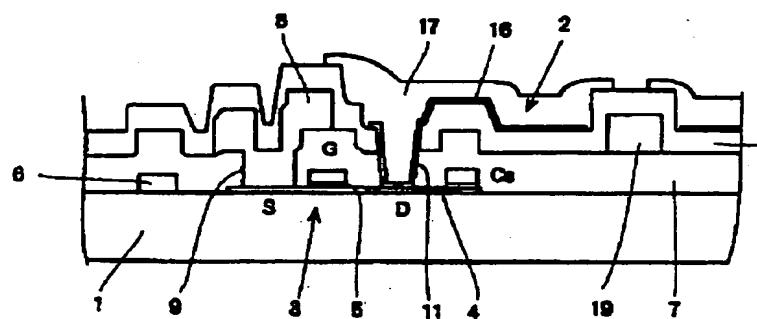
8

4 半導体薄膜	12 基板
5 絶縁膜	13 カラーフィルタ膜
6 ゲートライン	14 対向電極
7 第一層間絶縁膜	15 液晶層
8 配線電極	16 下層透明導電膜
9 第一コンタクトホール	17 上層透明導電膜
10 第二層間絶縁膜	19 信号ライン
11 第二コンタクトホール	20 配向膜

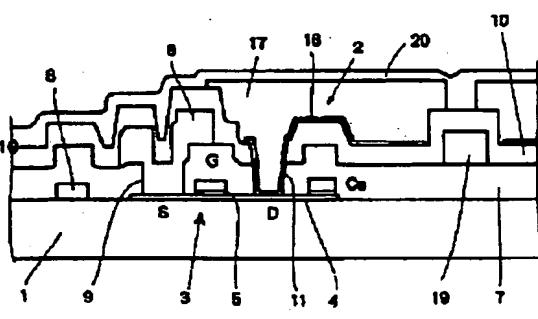
【図 1】



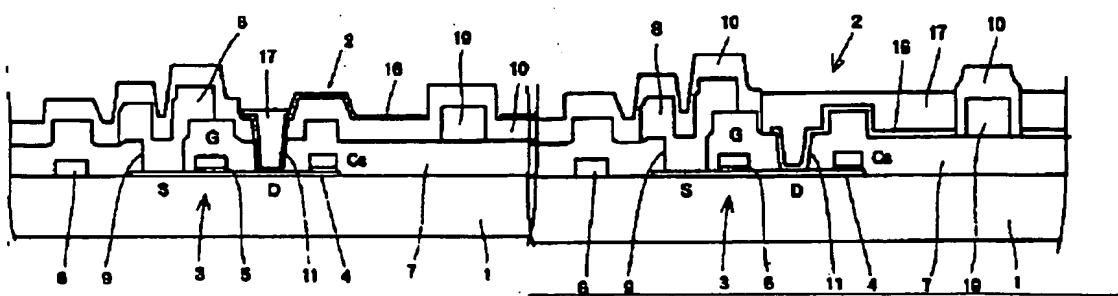
【図 2】



【図 3】

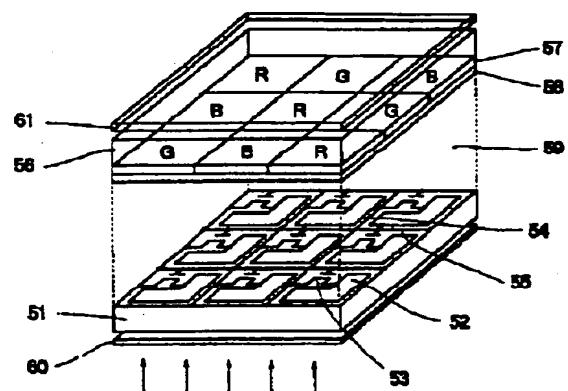


【図 4】

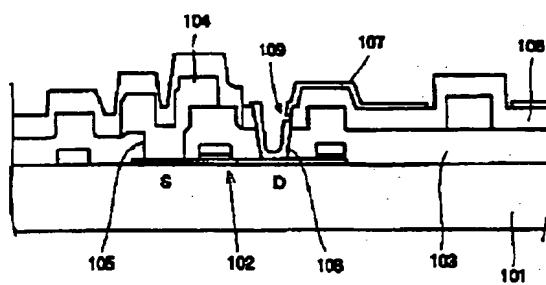


【図 5】

【図 6】



【図 7】



【図 8】

